



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06028856 A**(43) Date of publication of application: **04 . 02 . 94**

(51) Int. Cl.

G11C 11/409(21) Application number: **04183905**(22) Date of filing: **10 . 07 . 92**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **FUKUDA TATSUYA
HAGURA TSUKASA**

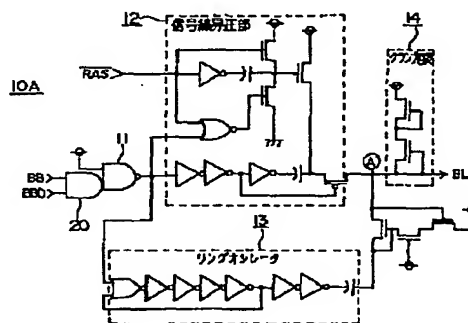
(54) SEMICONDUCTOR MEMORY

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To prevent a useless level holding by controlling a BLI boost circuit or a word line boost circuit by a control signal activated at the time of CBR refresh and a sense start, and the control signal activated at the time of a sense end.

CONSTITUTION: At the time of stand-by, the control signal BB and control signal BBD of a boost circuit 10A are respectively turned to 'L' and 'H'. When a ! (CAS) rises, and a ! (RAS) rises, the CBR refresh is started, and the control signal BB rises. At that time, the control signal BBD is held to be 'H', and a BLI boost circuit is activated. Therefore, an A part is boosted by a signal line boosting part 12, controlled by a ring oscillator 13 and a clamp circuit 14, and the level of the BLI is held to be $2V_{cc}-2V_{th}$. At the time of the sense end, the oscillator 13 is inactivated, and the level of the BLI is held to be V_{cc} . Thus, at the time of the CBR refresh, the useless holding of a boost signal can be excluded, and the current consumption can be reduced.



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-28856

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl. 5

識別記号

F I

G11C 11/409

6741-5L

G11C 11/34

353

D

審査請求 未請求 請求項の数 2 (全6頁)

(21)出願番号

特願平4-183905

(22)出願日

平成4年(1992)7月10日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 福田 達哉

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

(72)発明者 羽倉 司

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

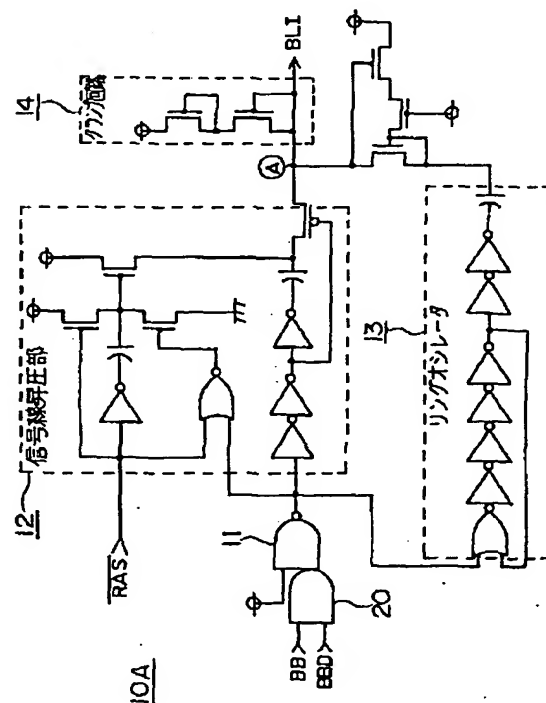
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】半導体記憶装置

(57)【要約】

【構成】 ! (CAS)before ! (RAS)リフレッシュ時、センス開始時に活性化する信号と、センス終了後に活性化する信号を用いて、センス終了後は、BLIのブーストレベル保持を、やめる様にする。

【効果】 CBRリフレッシュ時、ブースト信号の無駄な保持を、やめることにより、消費電流を低減できる。



【特許請求の範囲】

【請求項 1】 ! (CAS)before ! (RAS)リフレッシュ時において、シェアードセンスアンプに接続されるビット線を選択する信号のブーストレベルの保持をセンス終了時に停止するブースト回路を備えたことを特徴とする半導体記憶装置。

【請求項 2】 ! (CAS)before ! (RAS)リフレッシュ時において、ワード線のブーストレベルの保持をセンス終了時に停止するブースト回路を備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】この発明は、DRAMにおける、! (CAS)before ! (RAS)リフレッシュ（以下、「CBRリフレッシュ」と略記する。）時に消費電流を低減するブースト回路を備えた半導体記憶装置に関するものである。なお、! () はオーバラインを表し、() 内は負論理を意味する。

【 0 0 0 2 】

【従来の技術】従来の半導体記憶装置の構成を図 5 及び図 6 を参照しながら説明する。図 5 は、従来の半導体記憶装置のセンスアンプ付近を示す回路図であり、図 6 は、従来の半導体記憶装置の BLI ブースト回路である。

【 0 0 0 3 】図 5 において、1 はセンスアンプ、2 及び 3 はビット線、4 及び 5 はビット線切り離し信号線 (BLIL、BLIR)、6 及び 7 はメモリセル、8 及び 9 はワード線 (WL0、WL1) である。なお、a、b、c 及び d は、n-チャネルトランジスタである。

【 0 0 0 4 】図 6 において、10 はブースト回路、11 は NAND ゲート、12 は信号線昇圧部、13 はブーストレベルを保持するリングオシレータ、14 はクランプ回路である。

【 0 0 0 5 】図 5 に示す様なシェアードセンスアンプ方式において、左右からセンスアンプ 1 に接続されているビット線 2、3 のうち、片側を選択し、その反対側を非選択とする場合、図 5 上の n-チャネルトランジスタ a、b、c 及び d によって切り換えを行っている。また、この n-チャネルトランジスタ a、b、c 及び d のゲートに接続されており、n-チャネルトランジスタ a、b、c 及び d を活性又は非活性とする制御信号が信号線 4 及び 5 に供給されるビット線切り離し信号 (BLIL 及び BLIR) である。

【 0 0 0 6 】次に、動作について図 7 を参照しながら説明する。図 7 は、従来の半導体記憶装置のブースト回路の動作をしめすタイミングチャートである。図 7 において、(a) は ! (RAS) (RAS: ロー・アドレス・ストロブ)、(b) は ! (CAS) (CAS: コラム・アドレス・ストロブ)、(c) は BLI (ビット線切り離し信号) の各信号を示す。

【 0 0 0 7 】! (CAS)の立ち下がり後、! (RAS)を立ち下げるといふ信号入力方法で開始される CBR リフレッシュにおいて、この CBR リフレッシュ開始時、つまり! (CAS)の立ち下がり後、! (RAS)が立ち下がることによって、図 6 に示すブースト回路 10 (BLI 昇圧回路) の制御信号 BB が立ち上がる (活性化する)。この制御信号 BB が立ち上がることにより、図 6 のブースト回路 10 は、活性化される。

【 0 0 0 8 】この時、例えば、図 5 のセンスアンプ 1 の左側のビット線 2 のデータをセンスアンプ 1 が取り込む場合、n-チャネルトランジスタ a 及び b は、ブースト回路 10 によってブーストされた BLIL によって、強い ON 状態となり、n-チャネルトランジスタ c 及び d は、BLIR の立ち下がりより、OFF する。この状態でセンスアンプ 1 は、センスを開始し、左側のビット線 2、3 に、もとのデータをリストアすることにより、センス終了となる。

【 0 0 0 9 】この時点では、図 6 に示すリングオシレータ 13 により、BLIL は、ブーストレベルを維持してゐる。その後、CBR リフレッシュの終了、つまり、! (RAS) 及び ! (CAS) が立ち上がり、制御信号 BB が立ち下がると、ブースト回路 (リングオシレータ 13 を含む) 10 は、非活性となり、BLIL は、もとの V_{cc} レベルに立ち下がる。この一連の動作時のそれぞれの信号のタイミング波形を表したものが図 7 である。以下で述べる BLI 信号とは、選択側、つまり、ブーストされる側の信号であるものとする。

【 0 0 1 0 】図 8 は、従来の半導体記憶装置のワード線ブースト回路 15 を示す回路図である。図 8 において、NAND ゲート 16 ~ クランプ回路 19 は、図 6 に示す BLI ブースト回路 10 の NAND ゲート 11 ~ クランプ回路 14 と同様である。また、WD はワードドライバ制御信号、WL はワード線信号である。

【 0 0 1 1 】ワード線ブースト回路 15 は、ワード線信号 WL を、図 5 に示すワード線 8、9 に出力して、前述した BLI ブースト回路 10 と同様に動作する。

【 0 0 1 2 】

【発明が解決しようとする課題】上述したような従来の半導体記憶装置の BLI ブースト回路では、CBR リフレッシュ時に、ブーストされた BLI 信号は、図 7

(c) に示す様に、CBR リフレッシュ終了時、つまり! (RAS) 及び ! (CAS) が非活性になるまで、ブーストレベルを保持していた。本来ならば CBR リフレッシュにおいては、センスが終了した時点で、BLI 信号は、ブーストレベルを保つ必要はないので、従来は、無駄な電流を消費していたという問題点があった。また、ワード線ブースト回路も同様の問題点があった。

【 0 0 1 3 】この発明は、上記のような問題点を解消するためになされたもので、半導体記憶装置の CBR リフレッシュ時における消費電流を低減することができる半

導体記憶装置を得ることを目的としている。

【0014】

【課題を解決するための手段】この発明に係る半導体記憶装置は、センス開始時に活性化するBLIブースト回路の制御信号BBと、CBRリフレッシュ時に、センス終了後、活性化する制御信号、例えば上記BB信号の遅延反転信号であるBBD信号を、BLIブースト回路に入力することにより、センス終了後、直ちに、BLI信号を、 V_{cc} あるいは、GNDレベルに立ち下げるようにしたものである。

【0015】また、この発明に係る半導体記憶装置は、センス開始時に活性化するワード線ブースト回路の制御信号BBと、CBRリフレッシュ時に、センス終了後、活性化する制御信号、例えば上記BB信号の遅延反転信号であるBBD信号を、ワード線ブースト回路に入力することにより、センス終了後、直ちに、ワード線のレベルを、 V_{cc} あるいは、GNDレベルに立ち下げるようにしたものである。

【0016】

【作用】この発明における、半導体記憶装置のBLIブースト回路又はワード線ブースト回路は、例えばCBRリフレッシュ時、センス開始時に活性化する制御信号BBとセンス終了時に活性化する制御信号BBDによって制御されることにより、BLI信号又はワード線信号におけるブーストレベルの、無駄な保持をやめることができる。

【0017】

【実施例】

実施例1. 以下、この発明の実施例1の構成について図1を参照しながら説明する。図1は、この発明の実施例1のBLIブースト回路を示す回路である。

【0018】図1において、実施例1のBLIブースト回路10Aは、従来のBLIブースト回路10におけるNANDゲート11の一方の入力側にANDゲート20を新たに追加したものであり、他の構成は同様である。なお、センスアンプ付近は従来と同様である。

【0019】図1における制御信号BBはCBRリフレッシュ開始時、ブースト回路10Aを活性化するための信号であり、また、制御信号BBDは、例えば、制御信号BBの遅延反転信号であり、センス終了時、活性化されるものとする。上記制御信号BBおよびBBDのCBRリフレッシュ時におけるタイミング波形を!(RAS)、!(CAS)、BLIのタイミング波形とともに図2に示す。

【0020】次に、実施例1の動作を図2を参照しながら説明する。図1はBLIのブースト回路(昇圧回路)10Aを表しており、BLIをブーストする信号線昇圧部12、ブーストレベルを維持するためのリングオシレータ13、クランプ回路14等から構成されている。

【0021】この発明の目的である、消費電流の低減を実現するためには、センス終了時に、ブーストレベルを

維持するためのリングオシレータ13を非活性にすればよく、以下その動作を説明する。

【0022】図2に示す様に、!(RAS)及び!(CAS)が立ち上がる前、つまりスタンバイ時には、ブースト回路10Aの制御信号BBはLow状態、制御信号BBDはHigh状態になっている。!(CAS)が立ち下がり続いて、!(RAS)が立ち下がることによりCBRリフレッシュが開始され、制御信号BBは、立ち上がり、又、その時点では、制御信号BBDは、High状態を保ったままなので、図1のBLIブースト回路が、活性化する。

【0023】このことにより、図1に示されるA部は、点線で囲まれた信号線昇圧部12により、 $2V_{cc}$ までブーストされるが、点線で囲まれたリングオシレータ13及びクランプ回路14によって制御され、BLIのレベルは $2V_{cc} - 2V_{th}$ (V_{th} はトランジスタのしきい値電圧)を維持することになる。その後、センスが終了すると、例えば、BLIブースト回路10Aの制御信号BBの遅延反転信号である制御信号BBDは立ち下がり、信号線昇圧部12、及びリングオシレータ13は非活性となり、BLIは V_{cc} レベルに降圧される。以後、BLIは V_{cc} レベルを保ち、!(RAS)及び!(CAS)の立ち上がりにより、CBRリフレッシュは終了となる。

【0024】この発明の実施例1は、前述したように、!(CAS)before!(RAS)リフレッシュ時、センス開始時に活性化する信号と、センス終了後に活性化する信号を用いて、センス終了後は、BLIのブーストレベル保持を、やめる様にする。その結果、CBRリフレッシュ時、ブースト信号の無駄な保持をやめることにより、消費電流を低減することができるという効果を奏する。

【0025】なお、上記実施例1では、センス終了後、BLIは、 V_{cc} レベルを保つ様にしているが、センス終了後からCBRリフレッシュ終了時まで、図2(c)の点線で示すように、BLIはGNDレベルであっても良い。

【0026】実施例2. 上記実施例1では、BLI信号について説明したがCBRリフレッシュ時には、ワード線もブーストされ、上記BLI信号と同様のことが言えるので、ワード線のレベルであっても良く、同様の効果が得られる。図3にワード線ブースト回路の構成を示す回路図、図4にCBRリフレッシュ時の!(RAS)、!(CAS)及びワード線のレベルのタイミング波形図を示す。

【0027】

【発明の効果】以上の様に、この発明によれば、センス終了時のBLIのブーストレベル維持をやめる様な回路構成になっているので、CBRリフレッシュ時の消費電流を低減することができるという効果を奏する。

【0028】また、この発明によれば、センス終了時のワード線のブーストレベル維持をやめる様な回路構成になっているので、CBRリフレッシュ時の消費電流を低減することができるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の実施例1のBLIブースト回路を示す回路図である。

【図2】この発明の実施例1のBLIブースト回路の動作を示すタイミングチャートである。

【図3】この発明の実施例2のワード線ブースト回路を示す回路図である。

【図4】この発明の実施例2の動作を示すタイミングチャートである。

【図5】この発明及び従来の半導体記憶装置のセンスアンプ付近を示す図である。

【図6】従来の半導体記憶装置のBLIブースト回路を示す回路図である。

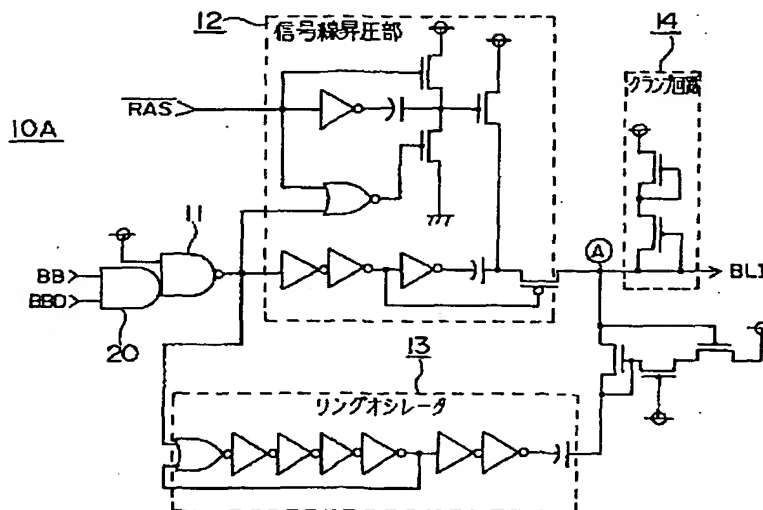
【図7】従来の半導体記憶装置のBLIブースト回路の動作を示すタイミングチャートである。

【図8】従来の半導体記憶装置のワード線ブースト回路を示す回路図である。

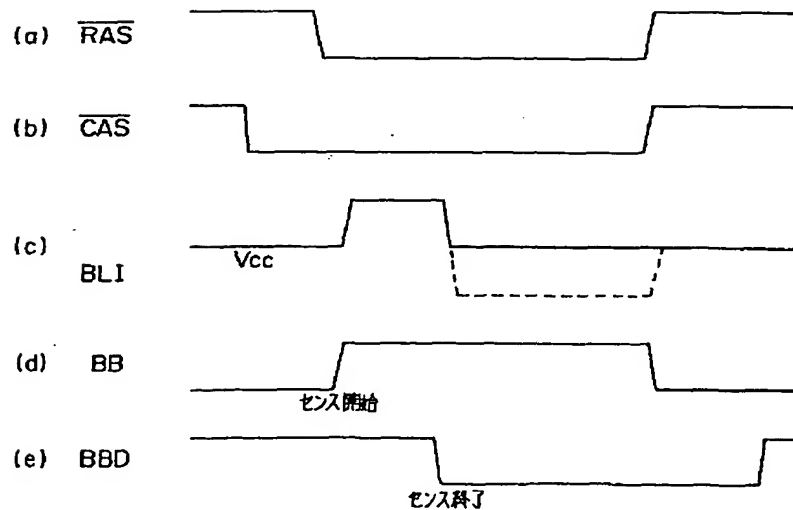
【符号の説明】

- | | |
|-----|------------|
| 10A | BLIブースト回路 |
| 11 | NANDゲート |
| 12 | 信号線昇圧部 |
| 13 | リングオシレータ |
| 14 | クランプ回路 |
| 20 | ANDゲート |
| 15A | ワード線ブースト回路 |

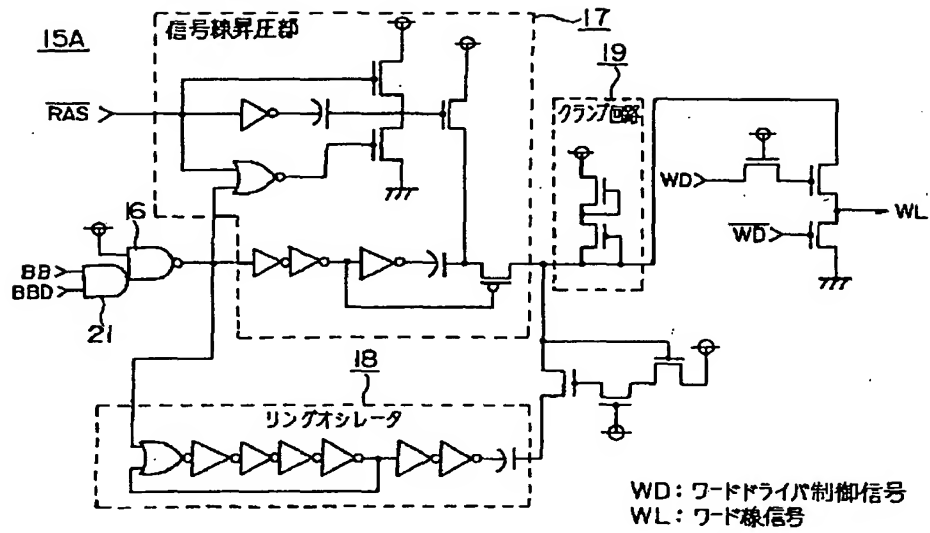
【図1】



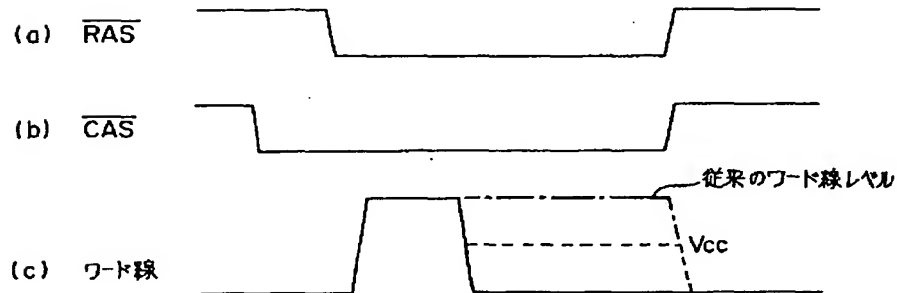
【図2】



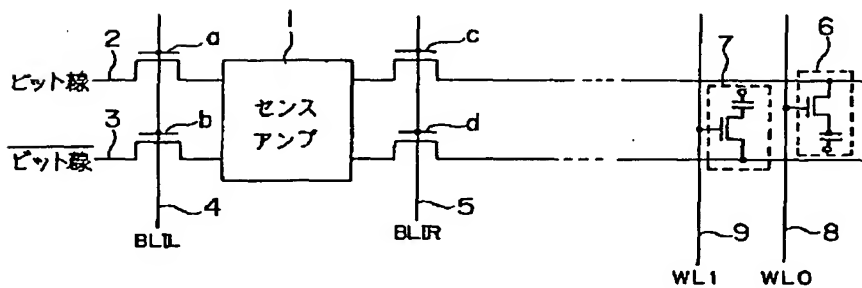
【図 3】



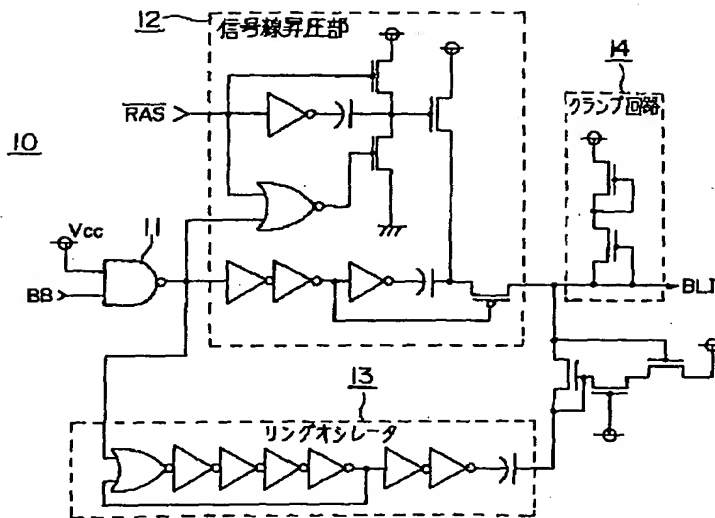
【図 4】



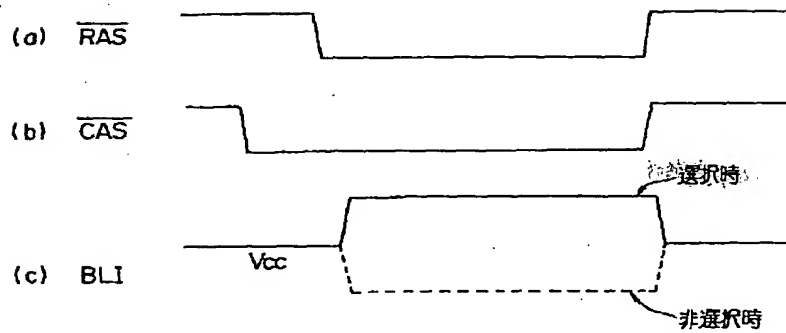
【図 5】



【図6】



【図7】



【図8】

